

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-216495
 (43)Date of publication of application : 02.08.2002

(51)Int.Cl. G11C 29/00
 G01R 31/28

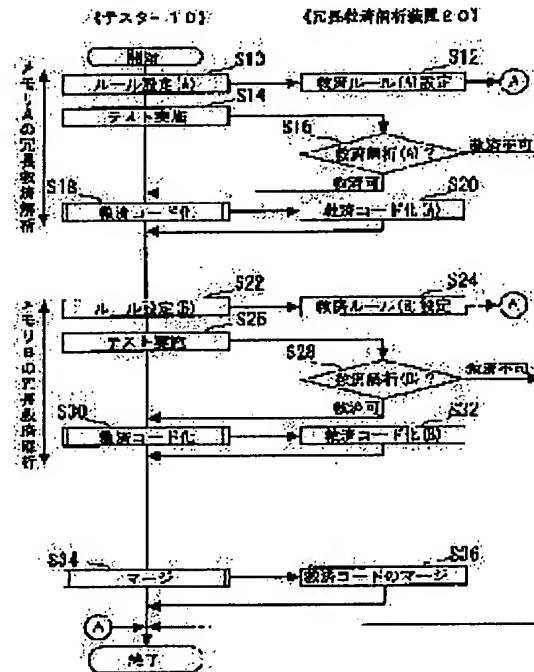
(21)Application number : 2001-010249 (71)Applicant : MITSUBISHI ELECTRIC CORP
 (22)Date of filing : 18.01.2001 (72)Inventor : OKAMOTO SHINYA
 FUKUSHIMA YASUHIKO

(54) METHOD, RECORDING MEDIUM AND APPARATUS FOR REDUNDANCY RELIEVING ANALYSIS FOR MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method, a recording medium and an apparatus for redundancy relieving analysis for a memory device which actualize redundancy relieving analysis method for the memory device in which a plurality of redundancy relieving analyzing rules exist.

SOLUTION: A redundancy relieving analyzing method for a memory device in which a plurality of redundancy relieving analyzing rules exist can be actualized by merging a plurality of relieving codes corresponding to each rule obtained by application of a plurality of redundancy relieving analyzing rules to one code finally. Or the redundancy relieving analyzing method for the memory device in which the plurality of redundancy relieving analyzing rules exist can be actualized by appending the plurality of relieving codes corresponding to each rule obtained by application of the redundancy relieving analyzing rules to one code after each analysis determination execution.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-216495
(P2002-216495A)

(43)公開日 平成14年8月2日 (2002.8.2)

(51)Int.Cl.⁷
G 1 1 C 29/00
G 0 1 R 31/28識別記号
6 5 5F I
G 1 1 C 29/00
G 0 1 R 31/28テマコト⁸(参考)
6 5 5 S 2 G 0 3 2
B 5 L 1 0 6

審査請求 未請求 請求項の数9 OL (全 6 頁)

(21)出願番号 特願2001-10249(P2001-10249)

(22)出願日 平成13年1月18日 (2001.1.18)

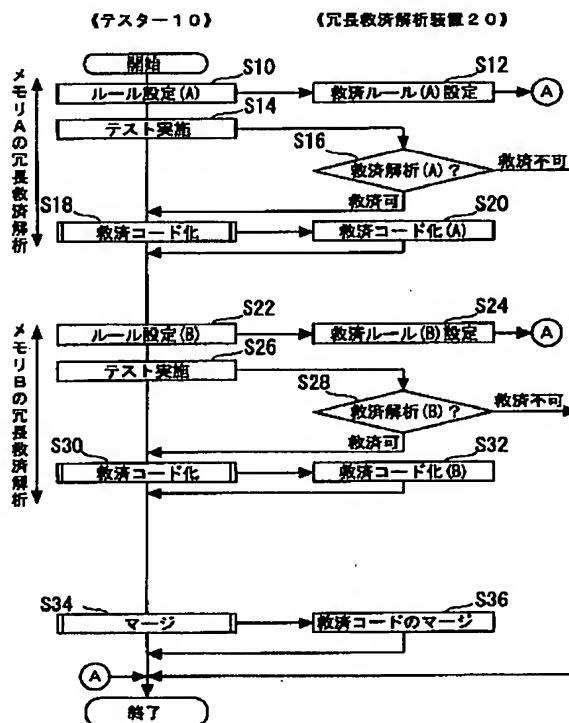
(71)出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号
(72)発明者 岡本 信哉
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
(72)発明者 福島 康彦
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
(74)代理人 100082175
弁理士 高田 守 (外3名)
Fターム(参考) 2G032 AA07 AB01 AL00
5L106 DD25

(54)【発明の名称】メモリデバイス冗長救済解析方法、記録媒体および装置

(57)【要約】

【課題】冗長救済解析ルールが複数存在するメモリデバイスに対する冗長救済解析方法を可能とするメモリデバイス冗長救済解析方法、記録媒体および装置を提供する。

【解決手段】複数の冗長救済解析ルールの適用で得られた各々のルールに対応した複数の救済コードを最終的に一つのコードにマージする処理を行うことにより、冗長救済解析ルールが複数存在するメモリデバイスに対する冗長救済解析方法を可能とするメモリデバイス冗長救済解析方法、記録媒体および装置を提供することができる。あるいは、複数の冗長救済解析ルールの適用で得られた各々のルールに対応した複数の救済コードを、各解析判定実施後に一つのコードにアペンド処理を行うことによっても、冗長救済解析ルールが複数存在するメモリデバイスに対する冗長救済解析方法を可能とするメモリデバイス冗長救済解析方法、記録媒体および装置を提供することができる。



【特許請求の範囲】

【請求項1】 不良メモリを救済する冗長救済解析ルールを各別に備えた複数のメモリデバイスに対して冗長救済解析を行うメモリデバイス冗長救済解析方法であつて、

複数のメモリデバイスの各々に対して冗長解析ルールを各別に適用するルール適用工程と、

前記ルール適用工程により各別に冗長解析ルールが適用された結果を1つの結果にまとめる纏め工程とを備えたことを特徴とするメモリデバイス冗長救済解析方法。

【請求項2】 前記纏め工程は、前記ルール適用工程により各別に冗長解析ルールが適用された結果を、すべてのメモリデバイスに対する冗長救済解析ルールの適用が終了した後にマージして纏めることを特徴とする請求項1記載のメモリデバイス冗長救済解析方法。

【請求項3】 前記纏め工程は、前記ルール適用工程により各別に冗長解析ルールが適用された結果を、メモリデバイスに対する格別の冗長救済解析ルールの適用毎にアpendして纏めることを特徴とする請求項1記載のメモリデバイス冗長救済解析方法。

【請求項4】 前記メモリデバイスは複数メモリ混載デバイスを含むことを特徴とする請求項1ないし3のいずれかに記載のメモリデバイス冗長救済解析方法。

【請求項5】 請求項1ないし4のいずれかに記載のメモリデバイス冗長救済解析方法を実行するコンピュータが読み出し可能なプログラムを記録した記録媒体。

【請求項6】 不良メモリを救済する冗長救済解析ルールを各別に備えた複数のメモリデバイスに対して冗長救済解析を行うメモリデバイス冗長救済解析装置であつて、

複数のメモリデバイスの各々に対して冗長解析ルールを各別に適用するルール適用手段と、

前記ルール適用手段により各別に冗長解析ルールが適用された結果を1つの結果にまとめる纏め手段とを備えたことを特徴とするメモリデバイス冗長救済解析装置。

【請求項7】 前記纏め手段は、前記ルール適用手段により各別に冗長解析ルールが適用された結果を、すべてのメモリデバイスに対する冗長救済解析ルールの適用が終了した後にマージして纏めることを特徴とする請求項6記載のメモリデバイス冗長救済解析装置。

【請求項8】 前記纏め手段は、前記ルール適用手段により各別に冗長解析ルールが適用された結果を、メモリデバイスに対する格別の冗長救済解析ルールの適用毎にアpendして纏めることを特徴とする請求項6記載のメモリデバイス冗長救済解析装置。

【請求項9】 前記メモリデバイスは複数メモリ混載デバイスを含むことを特徴とする請求項6ないし8のいずれかに記載のメモリデバイス冗長救済解析装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はメモリデバイス冗長救済解析方法、記録媒体および装置に関し、特に救済解析ルールが複数あるメモリデバイス(メモリ混載デバイス含)の救済解析を可能にするメモリデバイス冗長救済解析方法、記録媒体および装置に関する。

【0002】

【従来の技術】近年、半導体メモリデバイス(以下、単に「メモリデバイス」という)は多種多様なタイプに亘っており、その冗長救済解析方法も同様に多種多様なタイプに亘ってきている。メモリデバイスの中でも複数メモリ混載デバイスが開発されており、冗長救済解析方法はさらに複雑化してきている。

【0003】一般に、メモリデバイスでは、通常予めチップが持っているスペアセル(冗長メモリセル)で不良を置換することにより不良チップの救済を行っている。つまり、メモリデバイスは不良メモリセルを救済するためのスペアセルを予め有しており、軽微な不良であれば不良メモリセルを含むブロックをスペアセルと置換して使用することにより、メモリICとしての完全良品とする冗長救済処理を行っている。冗長救済解析処理は、まずメモリデバイスに対してテストを行うことにより得られた不良情報に基づいて冗長救済解析装置で救済可否の判定が行われる。救済可能と判定された場合、不良メモリセルのアドレス(以下、「不良アドレス」という)に対応したヒューズと呼ばれる配線をレーザ光を用いて加熱溶断(切断)するレーザトリミング(Laser Trimming: LT)装置でブローするためのヒューズ座標を特定する必要がある。このため、救済する不良メモリセルの不良アドレス、使用スペアセル等の情報をチップ単位で救済コードと呼ばれるデータに変換している。

【0004】

【発明が解決しようとする課題】上述の冗長救済解析方法は、メモリデバイスに固有の冗長救済解析ルールに基づいて実施されている。従来の冗長救済解析方法は、メモリデバイスをテストするためのテスト・プログラム中の冗長救済解析ルールを1種類しか扱うことができなかつたため、2種類以上の冗長救済解析ルールで解析させた場合の救済コードを1チップのコードとして扱うことはできなかつた。したがつて、複数メモリを搭載し冗長救済解析ルールが2種類以上となる複数メモリ混載デバイスに対する冗長救済解析に対応できないという問題があつた。

【0005】そこで、本発明の目的は、上記問題を解決するためになされたものであり、冗長救済解析ルールが複数存在するメモリデバイス、特にメモリ混載デバイスに対する冗長救済解析方法を可能とすることができるメモリデバイス冗長救済解析方法、記録媒体および装置を提供することにある。

【0006】

【課題を解決するための手段】この発明のメモリデバイ

ス冗長救済解析方法は、不良メモリを救済する冗長救済解析ルールを各別に備えた複数のメモリデバイスに対して冗長救済解析を行うメモリデバイス冗長救済解析方法であって、複数のメモリデバイスの各々に対して冗長解析ルールを各別に適用するルール適用工程と、前記ルール適用工程により各別に冗長解析ルールが適用された結果を1つの結果にまとめる纏め工程とを備えたことを特徴とするものである。

【0007】ここで、この発明のメモリデバイス冗長救済解析方法において、前記纏め工程は、前記ルール適用工程により各別に冗長解析ルールが適用された結果を、すべてのメモリデバイスに対する冗長救済解析ルールの適用が終了した後にマージして纏めることができる。

【0008】ここで、この発明のメモリデバイス冗長救済解析方法において、前記纏め工程は、前記ルール適用工程により各別に冗長解析ルールが適用された結果を、メモリデバイスに対する格別の冗長救済解析ルールの適用毎にアペンドして纏めることができる。

【0009】ここで、この発明のメモリデバイス冗長救済解析方法において、前記メモリデバイスは複数メモリ混載デバイスを含むことができる。

【0010】この発明の記録媒体は、本発明のメモリデバイス冗長救済解析方法を実行するコンピュータが読み出し可能なプログラムを記録した記録媒体である。

【0011】この発明のメモリデバイス冗長救済解析装置は、不良メモリを救済する冗長救済解析ルールを各別に備えた複数のメモリデバイスに対して冗長救済解析を行うメモリデバイス冗長救済解析装置であって、複数のメモリデバイスの各々に対して冗長解析ルールを各別に適用するルール適用手段と、前記ルール適用手段により各別に冗長解析ルールが適用された結果を1つの結果にまとめる纏め手段とを備えたことを特徴とするものである。

【0012】ここで、この発明のメモリデバイス冗長救済解析装置において、前記纏め手段は、前記ルール適用手段により各別に冗長解析ルールが適用された結果を、すべてのメモリデバイスに対する冗長救済解析ルールの適用が終了した後にマージして纏めることができる。

【0013】ここで、この発明のメモリデバイス冗長救済解析装置において、前記纏め手段は、前記ルール適用手段により各別に冗長解析ルールが適用された結果を、メモリデバイスに対する格別の冗長救済解析ルールの適用毎にアペンドして纏めることができる。

【0014】ここで、この発明のメモリデバイス冗長救済解析装置において、前記メモリデバイスは複数メモリ混載デバイスを含むことができる。

【0015】

【発明の実施の形態】以下、各実施の形態について図面を参照して詳細に説明する。

【0016】実施の形態1. 図1は、本発明の実施の形

態1の冗長救済解析ルールが異なる2種類のメモリ（以下、各々「メモリA」、「メモリB」という）を搭載したメモリデバイスにおける冗長救済解析方法をフローチャートで示す。すなわち、図2は複数の冗長救済解析ルールに対応したテスト方式を示している。図2の左側はテストを行うテスタ10側のフローチャートであり、右側は冗長救済解析を行う冗長救済解析装置20側のフローチャートである。

【0017】図1に示されるように、テスタ10側においてテストの実施（ステップS14）の前にメモリAの救済ルールを設定し（ステップS10）、これを冗長救済解析装置20に対しても設定する（ステップS12）。テスタ10側においてメモリAに対するテストを実施し（ステップS14）、このテスト実施後に不良アドレス情報等をFailメモリ（不図示）に取込む。テスタ10に接続された冗長救済解析装置20側において、この不良アドレス情報等に基づき救済可否を判定する（ステップS16）。救済可能と判断された場合、テスタ10側において最終テスト後の解析結果でLT装置に渡す情報として救済コード化を行う（ステップS18）。この救済コードは所望の形式でフォーマット化されており、テスタ10側または冗長救済解析装置20側にある別の保存領域に保管しておく（ステップS18、S20）。ステップS16で救済不可能と判断された場合は処理を終了する。以上でメモリAの冗長救済解析方法が終了する。

【0018】次に、メモリBに対しても上述のメモリAに対するテストと同様の処理を行う。すなわち、テスタ10側において、テストの実施（ステップS26）の前にメモリBの救済ルールを再設定し（ステップS22）、これを冗長救済解析装置20に対しても設定する（ステップS24）。テスタ10側において、メモリBに対するテストを実施し（ステップS26）、このテスト実施後に不良アドレス情報等をFailメモリ（不図示）に取込む。テスタ10に接続された冗長救済解析装置20側において、この不良アドレス情報等に基づき救済可否を判定する（ステップS28）。救済可能と判断された場合、テスタ10側において最終テスト後の解析結果でLT装置に渡す情報として救済コード化を行う（ステップS30）。この救済コードは所望の形式でフォーマット化されており、テスタ10側または冗長救済解析装置20側にある別の保存領域に保管しておく（ステップS30、S32）。ステップS28で救済不可能と判断された場合は処理を終了する。以上でメモリBの冗長救済解析方法が終了する。

【0019】最後に、メモリAとメモリBとに対して得られた各長救済解析ルール毎の救済コードを一つのコードになるようマージ処理を行いステップS34、S36）、処理が終了する。本実施の形態1ではメモリAとメモリBとの2つのメモリを搭載したメモリデバイスを

例に説明したが、これはあくまでも例示であって3つ以上のメモリが搭載されている場合であっても本発明の冗長救済解析方法を適用できることはもちろんである。この場合、図2に示されるフローチャート中のステップS30の後に、所望のメモリの数だけステップS10ないしS20と同様の処理を繰り返すことにより実現することができる。

【0020】以上より、実施の形態1によれば、複数の冗長救済解析ルールの適用で得られた各々のルールに対応した複数の救済コードを、最終的に一つのコードにマージする処理を行うことができる。このため、複数の冗長救済解析ルールを有するメモリ混載デバイス等に対しても冗長救済解析を行うことができる。

【0021】実施の形態2、図2は、本発明の実施の形態2の冗長救済解析ルールが異なる2種類のメモリを搭載したメモリデバイスにおける冗長救済解析方法をフローチャートで示す。すなわち、図2は複数の冗長救済解析ルールに対応したテスト方式を示している。図2の左側はテストを行うテスタ10側のフローチャートであり、右側は冗長救済解析を行う冗長救済解析装置20側のフローチャートである。上述の実施の形態1では、メモリAとメモリBとの救済ルール毎にコード化を行い、最後に得られた各救済コードをマージするものであったが、本実施の形態2ではメモリAの冗長救済解析ルールの解析結果から得られる救済コードの最終行に、メモリBの2つのテストの冗長救済解析ルールで解析から得られる救済コードを順次アpendしていく方法を用いている。

【0022】図2に示されるように、テスタ10側において、テストの実施（ステップS14）の前にメモリAの救済ルールを設定し（ステップS10）、これを冗長救済解析装置20に対しても設定する（ステップS12）。テスタ10側において、メモリAに対するテストを実施し（ステップS14）、このテスト実施後に不良アドレス情報等をFailメモリ（不図示）に取込む。テスタ10に接続された冗長救済解析装置20側において、この不良アドレス情報等に基づき救済可否を判定する（ステップS16）。救済可能と判断された場合、テスタ10側において最終テスト後の解析結果でLT装置に渡す情報として救済コード化を行う（ステップS18）。この救済コードは所望の形式でフォーマット化されており、テスタ10側または冗長救済解析装置20側にある別の保存領域に保管しておく（ステップS18、S20）。ステップS16で救済不可能と判断された場合は処理を終了する。以上でメモリAの冗長救済解析方法が終了する。

【0023】次に、メモリBに対しても上述のメモリAに対するテストと同様の処理を行う。すなわち、テスタ10側においてテスト1の実施（ステップS27）の前にメモリBの救済ルールを再設定し（ステップS2

2）、これを冗長救済解析装置20に対しても設定する（ステップS24）。テスタ10側において、メモリBに対するテスト1を実施し（ステップS27）、このテスト1の実施後に不良アドレス情報等をFailメモリ（不図示）に取込む。テスタ10に接続された冗長救済解析装置20側において、この不良アドレス情報等に基づき救済可否を判定する（ステップS28）。救済可能と判断された場合、テスタ10側において救済コード化を行う（ステップS30）。この救済コードは所望の形式でフォーマット化されており、テスタ10側または冗長救済解析装置20側にある別の保存領域に保管しておく（ステップS30、S32）。次に、メモリAの冗長救済解析ルールの適用によりステップS18で得られた救済コードの最終行に、ステップS30で得られた救済コードをアpendして1つの救済コードとする（ステップS100）。冗長救済解析装置20側でも同様にステップS20で得られた救済コードの最終行に、ステップS32で得られた救済コードをアpendして1つの救済コードとする（ステップS110）。ステップS28で救済不可能と判断された場合は処理を終了する。以上でメモリBのテスト1の冗長救済解析方法が終了する。

【0024】続いて、テスタ10側においてメモリBに対するテスト2を実施し（ステップS120）、このテスト2の実施後に不良アドレス情報等をFailメモリ（不図示）に取込む。テスタ10に接続された冗長救済解析装置20側において、この不良アドレス情報等に基づき救済可否を判定する（ステップS128）。救済可能と判断された場合、テスタ10側において救済コード化を行う（ステップS130）。この救済コードは所望の形式でフォーマット化されており、テスタ10側または冗長救済解析装置20側にある別の保存領域に保管しておく（ステップS130、S132）。次に、ステップS100でアpendされた救済コードの最終行に、ステップS130で得られた救済コードをアpendして1つの救済コードとする（ステップS134）。冗長救済解析装置20側でも同様にステップS110で得られた救済コードの最終行に、ステップS132で得られた救済コードをアpendして1つの救済コードとする（ステップS136）。ステップS128で救済不可能と判断された場合は処理を終了する。以上でメモリBのテスト2の冗長救済解析方法が終了する。

【0025】本実施の形態2ではメモリAとメモリBとの2つのメモリを搭載したメモリデバイスを例に説明したが、これはあくまでも例示であって3つ以上のメモリが搭載されている場合であっても本発明の冗長救済解析方法を適用できることはもちろんである。この場合、図2に示されるフローチャート中のステップS134の後に、所望のメモリの数だけステップS22ないしS100と同様の処理を繰り返すことにより実現することができる。

【0026】以上より、実施の形態2によれば、複数の冗長救済解析ルールの適用で得られた各々のルールに対応した複数の救済コードを、各解析判定実施後に一つのコードにアペンド処理を行うことができる。このため、複数の冗長救済解析ルールを有するメモリ混載デバイス等に対しても冗長救済解析を行うことができる。すなわち実施の形態1とは異なり、救済コードのマージ処理を不要とすることができます。

【0027】上述した各実施の形態の機能を実現するコンピュータ・プログラムを記録した記録媒体を本発明の冗長救済解析装置に供給し、その冗長救済解析装置のコンピュータ(不図示)が記録媒体に格納されたコンピュータ・プログラムを読み取り実行することによっても、本発明の目的が達成されることは言うまでもない。この場合、記録媒体から読み取られたコンピュータ・プログラム自身が本発明の冗長救済解析装置の新規な機能を実現することになり、そのコンピュータ・プログラムを記録した記録媒体は本発明を構成することになる。コンピュータ・プログラムを記録した記録媒体としては、例えば、CD-ROM、フロッピー(登録商標)ディスク、ハードディスク、ROM、メモリカード、光ディスク等を用いることができる。

【0028】

【発明の効果】以上説明したように、本発明のメモリデ

バイス冗長救済解析方法、記録媒体および装置によれば、複数の冗長救済解析ルールの適用で得られた各々のルールに対応した複数の救済コードを最終的に一つのコードにマージする処理を行うことにより、冗長救済解析ルールが複数存在するメモリデバイスに対する冗長救済解析方法を可能とするメモリデバイス冗長救済解析方法、記録媒体および装置を提供することができる。

【0029】あるいは、複数の冗長救済解析ルールの適用で得られた各々のルールに対応した複数の救済コードを、各解析判定実施後に一つのコードにアペンド処理を行うことにより、冗長救済解析ルールが複数存在するメモリデバイスに対する冗長救済解析方法を可能とするメモリデバイス冗長救済解析方法、記録媒体および装置を提供することができる。

【図面の簡単な説明】

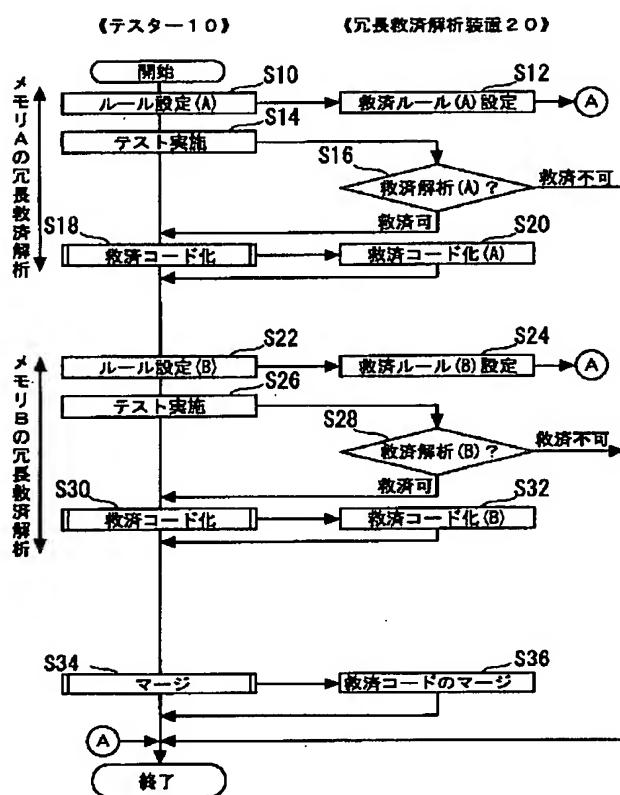
【図1】 本発明の実施の形態1の冗長救済解析ルールが異なる2種類のメモリを搭載したメモリデバイスにおける冗長救済解析方法を示すフローチャートである。

【図2】 本発明の実施の形態2の冗長救済解析ルールが異なる2種類のメモリを搭載したメモリデバイスにおける冗長救済解析方法を示すフローチャートである。

【符号の説明】

10 テスター、 20 冗長救済解析装置

【図1】



【図2】

